

CLOCK CONTROL CIRCUIT

Publication number: JP61147324

Publication date: 1986-07-05

Inventor: MIYAZAKI MASAYA; SUZUKI TOSHIKI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- International: G06F1/08; G06F1/04; G06F1/08; G06F1/04; (IPC1-7): G06F1/04

- european:

Application number: JP19840269790 19841220

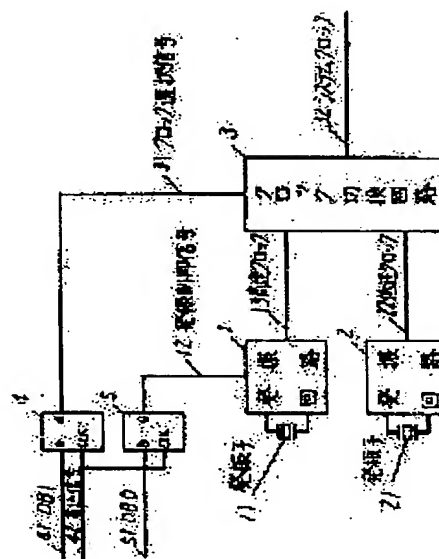
Priority number(s): JP19840269790 19841220

Report a data error here

Abstract of JP61147324

PURPOSE: To prevent an unstable clock signal from being generated at clock switching by setting independently a selection signal between a high speed clock and a lock speed clock and a clock oscillating control signal.

CONSTITUTION: Data (DB0, DB1) in 2-bit are given to a data bus of a memory from a CPU and latched to flip-flops (FF) 4, 5. When the level of both the FFs is '0', both an oscillation control signal 12 and a clock selection signal 31 go to zero, an oscillation circuit 1 is stopped and a low speed clock 22 is selected by a clock switching circuit 3. In bringing the level of the DB0 to logical '1', the oscillation control signal 12 is logical '1' via the FF5 and the oscillation circuit 1 of high speed clock starts operation. After the time for stabilizing oscillation is elapsed, the DB1 is brought into logical '1', then the clock selection signal 31 goes to logical '1' via the FF4 and the clock switch circuit 3 selects the high speed clock 13.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-147324

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月5日

G 06 F 1/04

F-7157-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 クロック制御回路

⑯ 特 願 昭59-269790

⑰ 出 願 昭59(1984)12月20日

⑱ 発 明 者	宮 崎 雅 也	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	鈴 木 敏 明	門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

クロック制御回路

2、特許請求の範囲

クロックを生成する第1の発振回路と、第1の発振回路より周波数の低いクロックを生成する第2の発振回路と、前記第1の発振回路で生成されたクロックと前記第2の発振回路で生成されたクロックを選択的に出力するクロック切換回路と、前記第1の発振回路と前記第2の発振回路の両方を発振させ、前記第1の発振回路の生成するクロックを出力する第1の状態と、前記第1の発振回路と前記第2の発振回路の両方を発振させ、前記第2の発振回路の生成するクロックを出力する第2の状態と、前記第1の発振回路を停止させ前記第2の発振回路を発振させ、前記第2の発振回路の生成するクロックを出力する第3の状態の3つの状態になるよう前記第1、第2の発振回路と前記クロック切換回路を制御する動作状態制御回路を備えたクロック制御回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、C-MOS構成のマイクロコンピュータを動作させるクロックを切り換えるクロック制御回路に関するものである。

従来の技術

C-MOS構成のマイクロコンピュータでは、消費電力を低減するために必要でない時は通常使用している高速クロックの発振を停止し、より周波数の低い低速クロックに切り換えるということがよく行なわれる。

従来のクロック制御回路では、第2図に示すように、1本のクロック切換信号6によって高速クロックを生成する発振回路1と、高速クロック13と低速クロック22を選択的に出力するクロック切換回路3の両方を制御している。この場合クロック切換信号6が高速クロックから低速クロックへの切り換えを指示すると、発振回路1は発振を停止し、クロック切換回路3は低速クロック22を選択して出力する。クロック切換信号6が低速

クロックから高速クロックへの切り換えを指示すると、発振回路1は発振を開始し、クロック切換回路3は高速クロック13を選択して出力する(例えば、特開昭68-107930号公報)。

発明が解決しようとする問題点

このような従来の回路では、低速クロックから高速クロックに切り換える時に、高速クロックを生成する発振回路が発振の開始を指示されてから、クロック切換回路が高速クロックを選択して出力するまでの時間は一定以下である。ところが、発振回路は接続される発振子の持つ特性によって、発振の開始を指示されてから安定な発振をするまでに一定の時間を必要とする。したがって、発振回路に発振の開始を指示してからクロック切換回路が高速クロックを選択して出力するまでの間に、発振回路が安定な発振をしていないと、クロック切換回路から不安定なクロックが出力され、マイクロコンピュータが誤動作をする可能性がある。

問題点を解決するための手段

本発明は上記問題点を解決するため、高速クロ

ックを生成する第1の発振回路と低速クロックを生成する第2の発振回路の両方を発振させ、高速クロックを選択して出力する第1の状態と、第1の発振回路と第2の発振回路の両方を発振させ、低速クロックを選択して出力する第2の状態と、第1の発振回路を停止させ第2の発振回路を発振させ、低速クロックを選択して出力する第3の状態を切り換える制御信号を生成する回路を備えて、高速クロックと低速クロックの切り換えを行なうものである。

作 用

本発明は上記した回路によって、低速クロックから高速クロックに切り換える時は、高速クロックを生成する第1の発振回路が停止し、低速クロックを生成する第2の発振回路が発振し、低速クロックが選択されて出力されている上記第3の状態から、まず第1の発振回路に発振を開始する信号を与えて上記第2の状態にし、第1の発振回路の発振が安定してからクロック切換回路に高速クロックを選択する信号を与えて上記第1の状態に

なる。5は同じくデータバスの1ビットであるDBO信号51を書込信号42によってラッチするフリップフロップであり、その出力が発振制御信号12になる。

以下に本実施例の高速クロックと低速クロックを切り換える時の動作について説明する。

クロック選択信号31と発振制御信号12が共に1の時は第1の発振回路は発振し、システムクロック32には高速クロック13が出力されている。ここでフリップフロップ4とフリップフロップ6の両方に0を書き込むと、クロック選択信号31と発振制御信号12は共に0となり、第1の発振回路1は発振を停止し、クロック切換回路は低速クロック22を選択し、システムクロック32は高速クロックから低速クロックに切り換わる。

低速クロックから高速クロックにシステムクロックを切り換える時は、まず、共に0を出力して4とフリップフロップ6のうちフリップフロップ6のみ1を書き込むと、発振制御信号12は1となり第1の発振回路は発振を開始する。ここで第1の発振回路が安定な発

実 施 例

第1図は本発明のクロック制御回路の一実施例を示すブロック図である。第1図において、1は第1の発振回路であって、より^{高い}発振周波数を持つ第1の発振子11を接続することによって高速クロック13を生成し、発振制御信号12が1の時は発振し、0の時は停止する。2は第2の発振回路であって第1の発振子11より低い発振周波数を持つ第2の発振子21を接続することによって低速クロック22を生成する。3はクロック切換回路であり、クロック切換信号31が1の時は高速クロック13をシステムクロック32に出力し、0の時は低速クロック22をシステムクロック32に出力する。4は本実施例のマイクロコンピュータのデータバスの1ビットであるDB1信号41を書込信号42によってラッチするフリップフロップであってその出力がクロック選択信号31に

振をするまでに必要な時間が経過した後、今度はフリップフロップ4に1を書き込むと、クロック切換回路3は安定な高速クロックを選択し、システムクロック32は常に安定なクロックを出力する状態で高速クロックから低速クロックに切り換わる。尚この場合にはフリップフロップ5に1を書き込んでからフリップフロップ4に1を書き込む間に一定の時間を必要とするが、通常マイクロコンピュータでは、ある処理を行ってから一定の時間が経過してから次の処理を行なうという動作は容易であり、かつその時間の長さも任意に決定することができ、第1の発振回路に接続する発振子の持つ特性に合わせてフリップフロップ5に1を書き込んでからフリップフロップ4に1を書き込むまでの時間を任意に設定することができる。

発明の効果

以上述べてきたように、本発明によれば、発振子の持つ特性に依存することなくマイクロコンピュータの動作クロックを低速から高速に誤動作を生ずることなく切り換えることができ、実用的に

きわめて有用である。

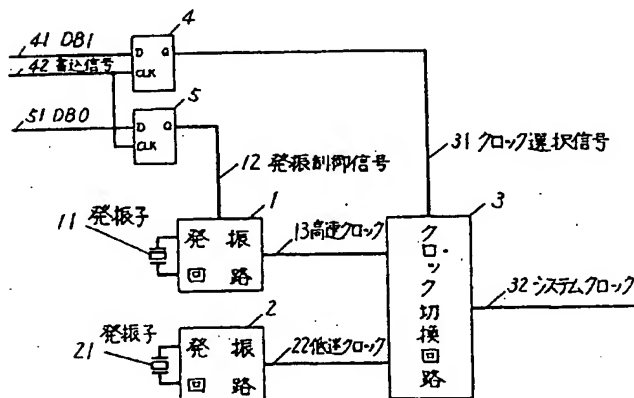
4、図面の簡単な説明

第1図は本発明におけるクロック制御回路を示すブロック図、第2図は従来のクロック制御回路を示すブロック図である。

1、2……発振回路、3……クロック切換回路、13……高速クロック、22……低速クロック、31……クロック選択信号、12……発振制御信号。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

